

(12)特許協力条約に基づいて公開された国際出願

訂正版

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年2月5日 (05.02.2004)

PCT

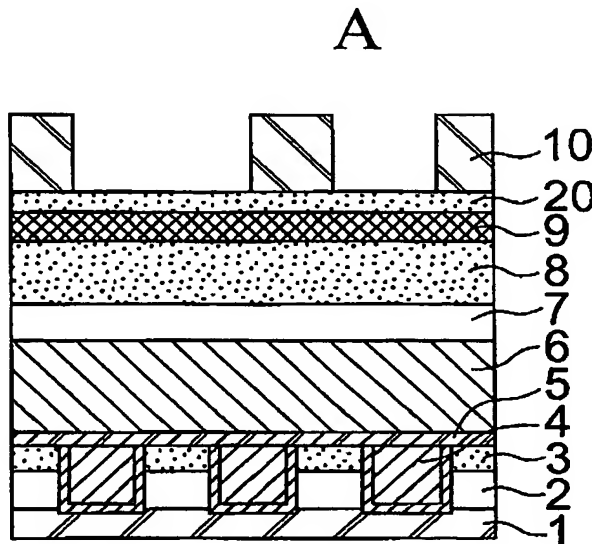
(10) 国際公開番号
WO 2004/012254 A1

- (51) 国際特許分類: H01L 21/3205, 21/768 (72) 発明者; および
(75) 発明者/出願人(米国についてのみ): 金村 龍一 (KANAMURA, Ryuichi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/009602
- (22) 国際出願日: 2003年7月29日 (29.07.2003) (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国(国内): KR, US.
- (30) 優先権データ:
特願2002-221069 2002年7月30日 (30.07.2002) JP 添付公開書類:
— 国際調査報告書
- (48) この訂正版の公開日: 2004年4月15日
- (71) 出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (15) 訂正情報:
PCTガゼット セクションIIの No.16/2004 (2004年4月15日)を参照

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A method for manufacturing a semiconductor device having a dual damascene multilayer wiring structure in a low permittivity interlayer insulating film. First and second insulating films (6, 7) are formed, and then first to third mask-forming layers (8, 9, 20) are formed. The third mask-forming layer is patterned to form a third mask of a wiring trench pattern. A resist mask of a contact hole pattern is formed on the second mask-forming layer including the third mask. The third mask and the first and second mask-forming layers are etched, and the second insulating film is etched. By using the third mask, a second mask of a wiring trench pattern is formed, and a contact hole is opened to an intermediate depth of the first insulating film. By using the second mask, the first mask-forming layer is etched to form a first mask of a wiring trench pattern. The portion of the first insulating film left on the bottom of the contact hole is etched to open a contact hole. By using first or second mask, a wiring trench is formed in the second insulating film.

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

低誘電率層間絶縁膜内にデュアルダマシン多層配線構造を形成する半導体装置の製造方法である。第一の絶縁膜（6）及び第二の絶縁膜（7）を成膜し、次いで第一から第三マスク形成層（8）、（9）、（20）を成膜する。第三マスク形成層をパターンニングして配線溝パターンの第3のマスクを形成する。第3のマスクを含む第二マスク形成層上に接続孔パターンのレジストマスクを形成し、第3のマスク、第二及び第一マスク形成層をエッチングし、更に第二の絶縁膜をエッチングする。第3のマスクを用いて配線溝パターンの第2のマスクを形成すると共に、第一の絶縁膜の途中まで接続孔を開口する。第2のマスクを用いて第一マスク形成層をエッチングし、配線溝パターンの第1のマスクを形成すると共に、接続孔の底部に残存する第一の絶縁膜をエッチングして接続孔を開口する。第1ないしは第2のマスクを用いて、第二の絶縁膜に配線溝を形成する。